

5G 大规模多入多出 (MIMO) 测试台：从理论到实现

概览

作者: Erik Luther, NI 资深产品市场经理, 射频和软件无线电 (RF 和 SDR)

大规模的多输入多输出 (MIMO) 是 5G 无线通讯研究中一个令人兴奋的领域。对下一代无线数据通讯网络, 它将带来显著的进步, 拥有在更高的数据速率下以更高的可靠性容纳更多用户同时消耗更低功耗的能力。使用 NI 大规模 MIMO 的应用程序框架, 研究者可以快速搭建 128 天线的 MIMO 测试平台, 采用一流的 LabVIEW 系统级设计软件和顶尖的 NI USRP™ RIO 软件无线电硬件, 来进行大规模天线系统的快速原型开发。使用一套简单且可应用于创建基于 FPGA 逻辑和高性能处理优化部署的设计流程, 该领域的研发者能够使用统一的软件和硬件设计流程来满足这些高度复杂系统的原型设计需求。

大规模多入多出 (MIMO) 简介

随着移动设备的数量和人们所使用的无线数据流量的指数级增长, 驱使着研究人员对于新技术和新方法的探究以解决这一日益增长的需求。下一代的无线数据网络, 被称作第五代移动通讯技术或 5G, 必须要解决容量限制, 以及一些现有通信系统中存在的挑战, 诸如网络的可靠性、覆盖率、能效性、和延迟性等。大规模 MIMO 作为 5G 技术的一种实现方案, 通过在基站 (BTS) 上使用大量的天线 (超过 64 根) 实现了更大的无线数据流量和连接可靠性。这种方式从根本上改变了现有标准的基站收发信机架构, 现有标准只使用了最多 8 根天线组成的扇形拓扑。由于拥有数百计的天线单元, 大规模 MIMO 可以使用预编码技术集将能量集中到目标移动终端上, 从而降低了辐射功率。通过把无限能量指向到特定用户, 辐射功率降低, 同时对于其他用户的干扰也降低。这一特性对于目前受干扰限制的蜂窝网络来说是非常有吸引力的。如果大规模 MIMO 的想法真的可以实现, 那么未来的 5G 网络一定会变得更快, 能够容纳更多的用户且具有更高的可靠性和更高的能效。

拥有这么多天线单元, 大规模 MIMO 具有几个现有网络未遇到过的系统挑战。比如说, 当前基于 LTE 或 LTE-A 的数据网络所需的导频开销是与天线的数量成比例的。而大规模 MIMO 管理了大量时分复用的天线的开销, 在上下行之间具有信道互易性。信道互易性使得上行导频获取的通道状态信息可以在下行链路的预编码器中被使用。其他更多实现大规模多入多出的挑战还包括: 在一个或多个数量级下来确定数据总线和接口的规模; 以及在众多独立的射频收发器之间进行分布式的同步。

这些有关定时、处理以及数据收集上的挑战使得原型化验证变得更为重要。为了让研发者能够证实对应理论, 这就意味着需要把理论工作转移到实际的测试台上。通过使用真实应用场景中的实际波形, 研发者开发出产品原型并确定大规模 MIMO 的技术可行性和商业可行性。就新型无线标准和技术来说, 把概念转化为产品原型的时间就直接影响到了实际部署和商业化的进程。研发者能越快开发出产品原型, 就意味着社会能越早地受益于这项创新技术。

1. 大规模 MIMO 产品原型简介

下面所述的是一个完整的大规模 MIMO 应用程序框架。它包含了搭建世界上最通用的、灵活的、可扩展的大规模 MIMO 测试台所需的硬件和软件, 该测试台支持实时处理以及在研发团队所感兴趣的频段和带宽上进行双向通信。使用 NI 软件无线电 (SDRs) 和 LabVIEW 系统设计平台软件, 这种 MIMO 系统的模块化特性促使系统从仅有几个节点发展到了 128 天线的大规模 MIMO 系统。并且随着无线研究的演进, 基于硬件的灵活性, 它也可以被重新部署到其他配置的应用中, 比如点对点网络中的分布式节点, 或多小区蜂窝网络等。

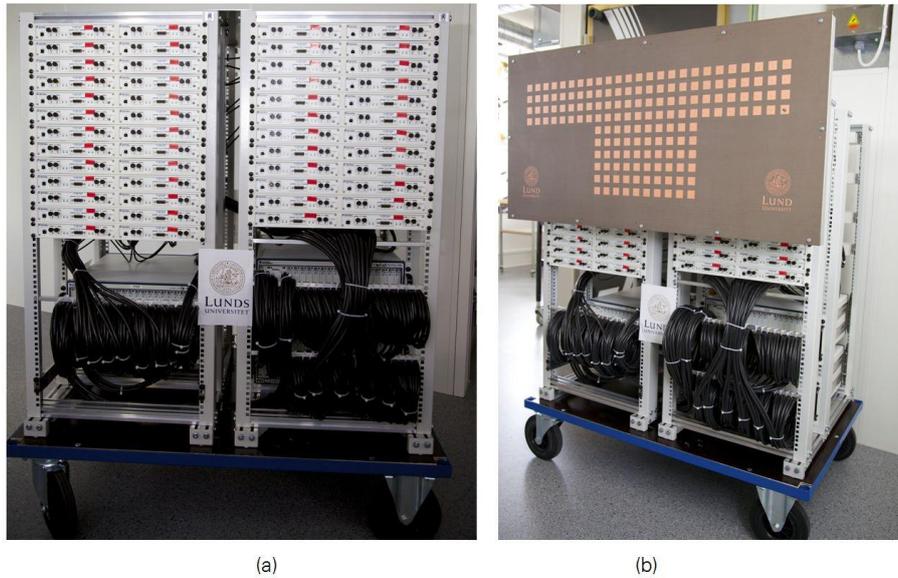


图 1. 瑞典隆德大学——基于 USRP RIO 的大规模 MIMO 测试台(a) 一种自定义的横向极化贴片天线阵列 (b).

瑞典隆德大学的 Ove Edfors 教授和 Fredrik Tufvesson 教授与 NI 一起合作，使用 NI 大规模 MIMO 应用程序框架开发出了一套世界上最大规模的基于商用产品的 MIMO 系统（见图 1）。他们的系统使用了 50 套 USRP RIO 软件无线电来实现大规模 MIMO 基站天线数（见表 1）为 100 天线的配置。基于软件无线电的概念，NI 和隆德大学研发团队开发了系统级的软件和物理层，该物理层使用了类似于 LTE 的物理层和时分复用技术来实现移动端接入。在这一合作过程中所开发的软件，可作为大规模 MIMO 应用程序框架的一部分被下载。表 1 中展示了大规模 MIMO 应用程序框架所支持的系统和协议参数。

Parameter	Values
Number of BTS Antennas	64–128
RF Center Frequency	1.2 GHz–6 GHz
Bandwidth per Channel	20 MHz
Sampling Rate	30.72 MS/s
FFT Size	2,048
Number of Used Subcarriers	1,200
Slot Time	0.5 ms
Users Sharing Time/Frequency Slot	10

表 1. 大规模 MIMO 应用程序框架系统参数

2. 大规模 MIMO 系统架构

正如其他通讯网络，大规模 MIMO 系统由基站（BTS）和用户设备（UE）或者是移动用户所组成。

大规模 MIMO 系统展望蜂窝网络的应用，其通常由基站(BTS)和用户设备(UE)或移动用户所构成。然而，大规模 MIMO 彻底改变了以往需要配置大量的 BTS 天线以同时跟多个用户设备进行通讯的传统拓扑结构。在 NI 和隆德大学合作开发的系统中，其 BTS 采用了每用户设备 10 个基站天线单元的系统设计因数，可同一时间提供 10 个用户，对这个 100 天线基站进行全带宽访问的能力。每用户设备 10 个基站天线单元的这—系统设计因数已经使得众多理论成果得到被证实。

在一个大规模 MIMO 系统中，一组用户设备同时发射一组正交导频到基站收发信机(BTS)。而 BTS 所接收的上行链路导频就可被用来估计信道矩阵。在下行链路时隙中，该信道估计即被用于计算下行链路信号的预编码器。理想情况下，这就导致每一个移动用户从无干扰的信道上收到所要传达给他们的信息。预编码器设计是一个开放的研究领域，且适用于各种各样的系统设计目标。举个例子，预编码器可用来设计尽可能地对其他用户不产生干扰、最小化总辐射功率，或者是减少所发送射频信号的峰值平均功率比。

大规模 MIMO 应用程序框架可被用于很多的配置应用中，且可支持 64 到 128 天线高达 20MHz 瞬时实时带宽，同时支持多个独立用户设备同时使用。这个类似 LTE 的协议使用 2048 个点的快速傅里叶变换计算(FFT)和 0.5 毫秒的时隙，如表 1 中所示。这 0.5 毫秒的时隙确保了足够的信道一致性，促进了移动测试场景中(换句话说，用户设备是在运动的)的信道互易性。

大规模 MIMO 硬件和软件组成

设计一个大规模 MIMO 系统需要四个属性：

1. 灵活的软件无线电，可用于接受和发送射频信号；
2. 射频设备之间精确的时间和频率同步
3. 具有高吞吐量和确定性的总线，用以传输和汇集海量的数据
4. 高性能的处理能力，用以满足物理层和介质访问控制(MAC)执行时所需的实时性能需求

理想情况下，这些的属性可被快速自定义以满足更多更广泛的研发需求。

基于 NI 平台的大规模 MIMO 应用程序框架将软件无线电、时钟分配模块、高数据吞吐量 PXI 系统以及 LabVIEW 相结合，提供了一个具有鲁棒性和确定性的研发所使用的原型设计平台。这一部分就具体解释了基于 NI 的大规模 MIMO 基站和用户设备终端中所用到的各种硬件和软件部分。

USRP 软件无线电

USRP RIO 软件无线电包含了一个 2X2 MIMO 集成收发仪和用于提高基带处理速度的高性能 Xilinx Kintex-7 FPGA，所有的这些硬件均封装在一个 0.5U 的机架安装式外壳内。它将主机控制器通过 PCI Express x4 总线连接到系统控制器，为台式电脑或者 PXI Express 主机提供高达 800MB/s 的数据传输速度(或是通过 ExpressCard 为笔记本电脑提供 200MB/s 的速度)。图 2 提供了 USRP RIO 硬件的程序框图概览。

USRP RIO 基于 LabVIEW 可重配置 I/O (RIO)架构，结合了开放的 LabVIEW 系统设计软件和高性能的硬件模块，从而大大简化了开发。高度的软硬件集成降低了系统集成的难度，这对于如此规模的系统来说具有重要意义，使得研发人员可以集中更多的精力在研发上。尽管整个 NI 应用程序框架软件都是基于 LabVIEW 开发的，但 LabVIEW 可以集成.m 脚本文件、ANSI C/C++ 及 HDL 等其他编程设计语言的 IP，通过代码重用来提高开发效率。

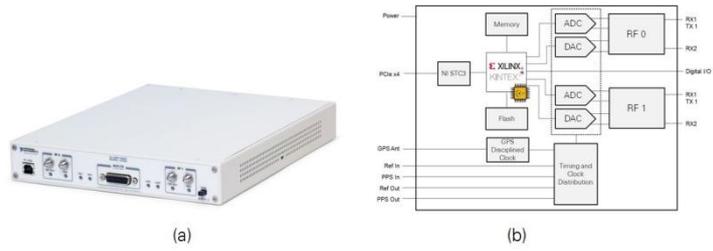


Figure 2. USRP RIO Hardware (a) and System Block Diagram (b)

图 2. USRP RIO 硬件 (a) 以及系统框图 (b)

PXI Express 机箱背板

大规模 MIMO 应用程序框架使用 PXIe-1085 机箱，这是一款高级的 18 槽 PXI 机箱，其使用的 PCI Express 第二代技术使得每一个插槽都可用于高吞吐量、低延迟性的应用设计。该机箱拥有每插槽高达 4 GB/s 的专用带宽，以及 12 GB/s 的系统带宽。图 3 所展示的是双开关的背板架构图。多 PXI 机箱能通过菊花链或者星形链的配置方式扩展搭建高通道数的系统。

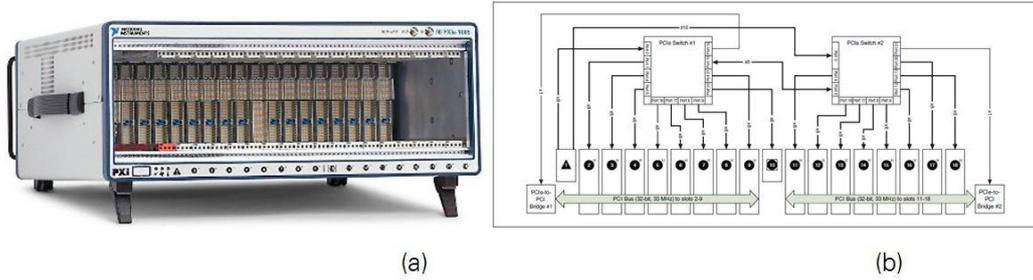


图 3. 18 槽 PXIe-1085 机箱 (a) 以及系统框图 (b)

高性能可重配置 FPGA 处理模块

大规模 MIMO 应用程序框架使用了 FlexRIO FPGA 模块来添加灵活的高性能的处理模块，这些模块是基于 PXI 形式，并可使用 LabVIEW FPGA 模块进行编程。PXIe-7976R FPGA 模块可以独立使用，它提供了逻辑单元丰富且可定制的 Xilinx Kintex-7 410T，通过 PCI Express Gen 2 x8 总线与 PXI Express 背板相连。此外利用高性能的射频收发器、基带模数转换器/数模转换器以及高速数字 I/O，大部分插入式 FlexRIO 适配器模块可进一步扩展该平台的 I/O 功能。

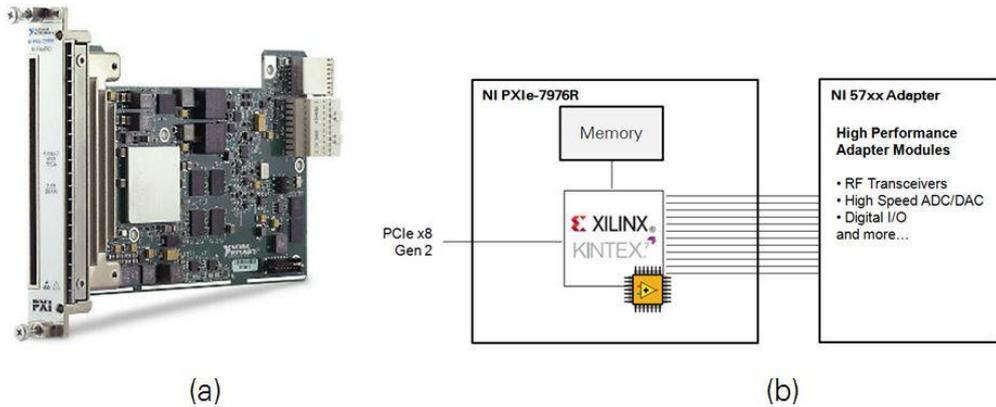


图 4. PXIe-7976R FlexRIO 模块 (a) 以及系统框图 (b)

8 通道时钟同步

Ettus Research 公司的 OctoClock 时钟分配模块可支持高达 8 对的 USRP 设备时间和频率的同步，通过在匹配长度信号中放大和分割一个外部 10MHz 参考时钟和每秒脉冲数（PPS）信号的八种方法来实现同步。OctoClock-G 使用内部集成的 GPS 锁定晶体振荡器（GPSDO）作为内部时间和频率参考。图 4 显示的是 OctoClock-G 的系统概图。前面板上的一个开关用来供用户选择使用内部时钟源还是外部参考时钟。有了 OctoClock 模块，用户就可以简单地搭建出 MIMO 系统，并与其他可能涉及到 MIMO 研究的高通道数系统或一起协同工作。

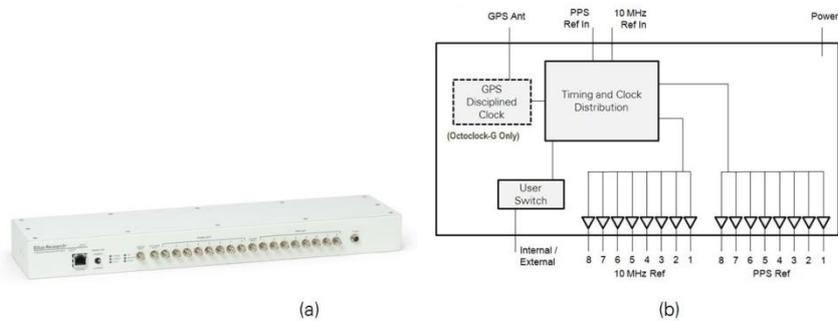


图 5. OctoClock-G 模块(a) 以及系统框图 (b)

3. LabVIEW 系统设计环境

LabVIEW 提供了一个集成化的工具链，用以管理系统级软硬件细节；在图形化用户界面上可视化系统信息，开发通用处理器（GPP）、实时和 FPGA 代码；以及将代码部署到研发测试台上。借助 LabVIEW，用户可以轻松集成其他编程环境中的代码，比如 ANSI C/C++ 可通过调用库节点函数集成、VHDL 可通过 IP 集成节点集成、甚至.m 文件脚本也可通过 LabVIEW MathScript 实时模块进行集成。这使得开发具有高度可读性和可定制性的高性能设计变得可能。所有的硬件和软件在同一个 LabVIEW 项目中进行管理，使得研究人员能够将代码部署至所有处理单元并在统一的环境中运行各种测试场景。大规模 MIMO 应用程序框架采用 LabVIEW 进行开发是因为 LabVIEW 提供的高效率及其基于 LabVIEW FPGA 模块编程和控制 I/O 的能力。

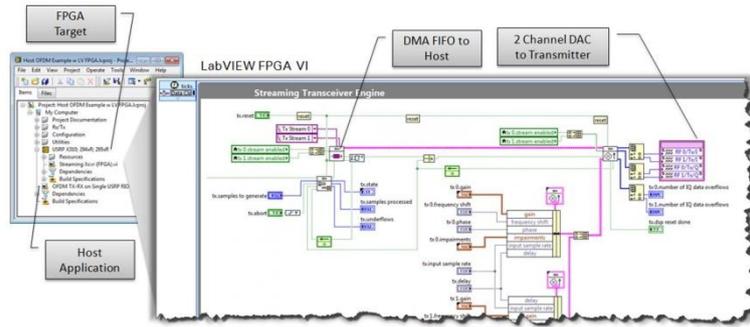


图 6. LabVIEW 项目和 LabVIEW FPGA 应用程序

大规模 MIMO BTS 应用程序框架架构

以上软硬件平台组件相结合即可构成可从几根天线扩展到超过 128 根射频频天线的测试台。为了便于用户理解，本技术白皮书仅说明了 64、96 以及 128 天线配置。128 天线系统包含了 64 个双通道 USRP RIO 设备，通过星形架构连接到四个 PXI 机箱上。主机箱汇集数据后由 FPGA 和基于四核 Intel i7 处理器的 PXI 控制器进行集中处理。

在图 7 中，主机箱使用了 PXIe-1085 机箱作为主数据汇集节点和实时信号处理引擎。PXI 机箱提供了 17 个插槽，预留给输入输出设备、定时和同步模块、用于实时信号处理的 FlexRIO FPGA 模块以及连接从机箱的扩展模块。128 天线的大规模 MIMO BTS 系统需要非常高的数据吞吐量来汇集和实时处理 128 个通道发送和接收的 I-Q 正交信号，对此 PXIe-1085 机箱是最佳选择，它支持吞吐量高达 3.2GB/s 的 PCI Gen 2 x8 数据链路。

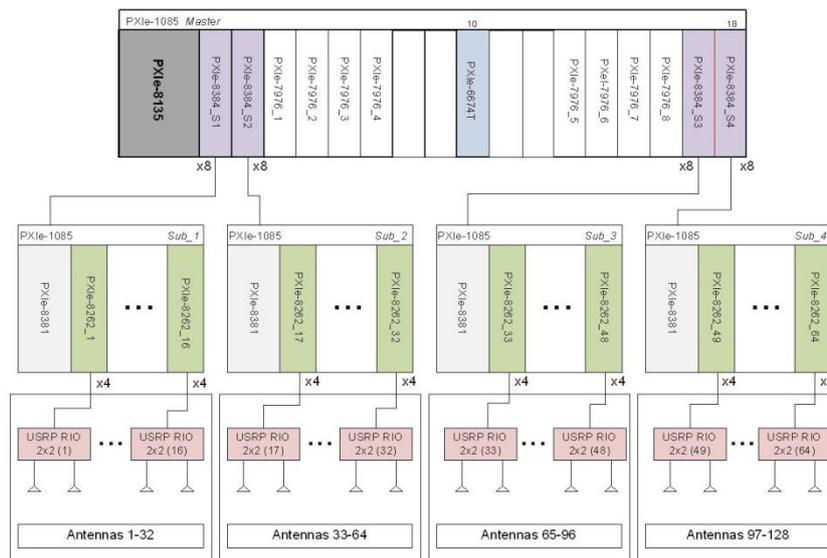


图 7. 基于 PXI 和 USRP RIO 的可扩展大规模 MIMO 系统框图

在主机箱第一槽位的 PXIe-8135 实时控制器或嵌入式计算机担任着中央系统控制器的角色。PXIe-8135 实时控制器具有 2.3GHz 四核 i7-3610QE 处理器（单核下最大可超频提升到 3.3GHz）。主机箱内还包含 4 个 PXIe-8384（S1 到 S4）接口模块，用于将子机箱连接到主系统。主从机箱间通过 MXI 总线进行连接，确切来说是 PCI ExpressGen 2 x8 总线，为主从节点之间提供了高达 3.2GB/s 的数据传输吞吐量。

系统还包括了 8 个 PXIe-7976R FlexRIO FPGA 模块，用来满足大规模 MIMO 系统中的实时信号处理需求。插槽的位置配置示例展示了主机箱中的 FPGA 可以通过级联方式连接，以支持每一个子节点的数据处理需求。每个 FlexRIO 模块可以通过背板以低于 5 μ s 的延迟和高达 3GB/s 的吞吐量与其他 FlexRIO 模块或所有 USRP RIO 进行数据通信。进行接收或发送数据，并且延时小于且吞吐量。

定时和同步

定时和同步对于任何一个需要部署大量无线电设备的系统来说都是至关重要的，对于大规模 MIMO 系统来说也是如此。BTS 系统共享一个通用 10MHz 参考时钟和一个数字触发信号，用于启动每个无线电设备的数据采集和生成，以确保整个系统之间的系统级同步（参见图 8）。PXIe-6674T 定时和同步模块具有一个恒温晶体振荡器（OCXO），位于主机箱的第 10 槽，可生成一个非常稳定且精确的 10MHz 参考时钟（50 ppb 的精确度）并提供一个数字触发信号来实现与 OctoClock-G 时钟分配模块的同步。之后，OctoClock-G 提供并缓存这一个 10MHz 参考时钟信号（MCLK）和触发信号（MTrig）到 OctoClock 模块，以一对八的比例提供给 USRP RIO 设备，从而确保所有天线共享 10MHz 的参考时钟和主触发信号。这里提到的控制架构可精确地控制每一个无线电设备/天线单元。

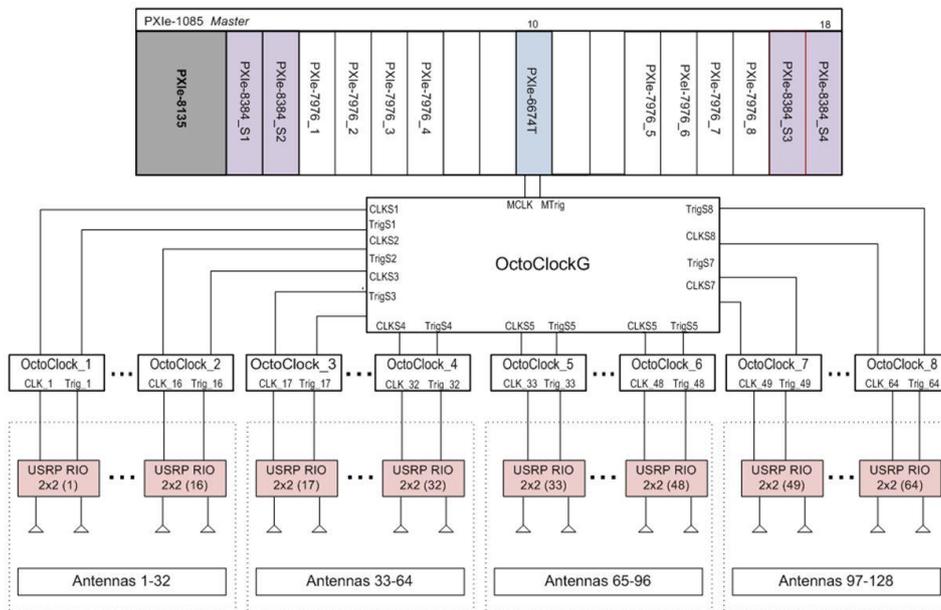


图 8. 大规模 MIMO 系统时钟分配框图

表 2 提供了 64、96 和 128 天线系统的基站配件清单快速参考。它包括了如图 1 中所示的硬件设备和设备连接线缆。

		Quantity Needed for Each Antenna Configuration					Quantity Needed for Each Antenna Configuration		
Description	Part No.	128	96	64	Description	Part No.	128	96	64
PXIe-1085, 18-Slot 3U Chassis	781813-01	5	4	3	PXIe-8384, x8 Gen 2 MXI-Express Daisy-Chain Interface	782363-01	4	3	2
PXIe-8135 Core i7-3610QE With ExpressCard, Win 7 (32-Bit)	782452-04	1	1	1	Cable, x8 MXI-Express (3 m)	782317-03	4	3	2
PXIe-7976R FlexRIO (Xilinx Kintex-7 410T) [Additional Units Optional]	783625-01	2	2	2	OctoClock 8-Channel Clock Distribution System	782978-01	8	6	4
PXIe-6674T Timing and Synchronization Module With OCXO	781037-01	1	1	1	OctoClock 8-Channel Clock Distribution System With GPSDO	782979-01	1	1	1
USRP-2943R 2-Antenna LabVIEW FPGA Programmable SDR (1.2GHz-6 GHz)	783148-01	64	48	32	Cable, SMA-SMA, (1 m)	783469-01	146	114	82
USRP RIO Rack-Mount Hardware	783492-01	32	24	16	PXI Chassis Rack-Mount System (Front or Back)	778644-01 or 778644-02	5	4	3
PXIe-8262, x4, MXI-Express Daisy-Chain Copper Interface With 3 m Cable	780064-01	64	48	32	International Power Cords for USRP RIO (outside United States and Japan)	783490-01	64	48	32
PXIe-8381, x8 Gen2 MXI-Express for PXI Express Interface	782362-01	4	3	2	PXI Power Cords (Country Specific)		5	4	3

表 2. 大规模 MIMO 基站配件清单

4. 基站收发信机 (BTS) 软件架构

基站应用程序框架软件是根据表 1 中所列的系统参数目标而设计的，其中 USRP RIO 中的 FPGA 负责物理层的正交频分复用 (OFDM) 处理，PXI 主机箱中的 FPGA 负责 MIMO 物理层处理。更高层的介质访问控制函数则在 PXI 控制器上的英特尔通用处理器 (GPP) 中运行。该系统架构允许进行大量的数据处理且具有足够低的延时性来维持信道互易性。预编码的参数直接从接收机传输到发射机，以获得最高的系统性能。

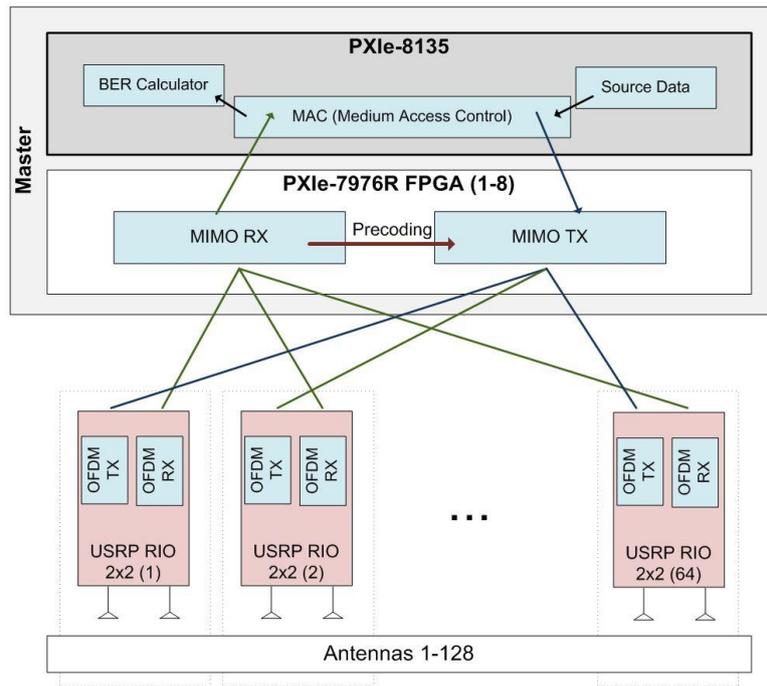
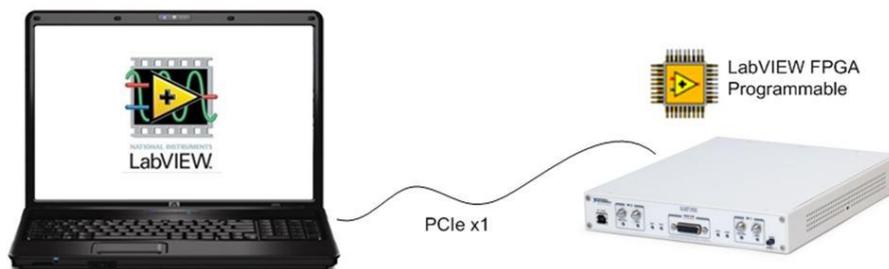


图 9. 大规模 MIMO 系统数据和处理框图

从天线开始，OFDM 物理层的处理在 FPGA 中实现，这样计算强度最大的处理就可在天线附近执行。之后，计算结果与 MIMO 接收机（MIMO RX）的 IP 函数相结合，从而得到每个用户和每个副载波的信道信息。然后再将计算得到的信道参数传输到 MIMO 发射端（MIMO TX）进行预编译，将能量集中到单一用户的回路中。虽然介质访问控制的某些部分是在 FPGA 中实现，但是其大部分的实现还有其他更高层的一些处理还是在通用处理器（GPP）中实现的。系统每个阶段使用的特定算法是当前一个活跃的研究领域。整个系统可使用 LabVIEW 和 LabVIEW FPGA 进行重新配置——在提升速度的同时无需牺牲程序的可读性。

5. 用户设备

每一个用户设备代表一台手机或者是其他单入单出（SISO）或具有 2x2 MIMO 无线功能的无线设备。用户设备（UE）的原型实验使用了具有集成式 GPSDO 的 USRP RIO，并通过一根 PCI Express 转 ExpressCard 线缆连接到一台笔记本电脑。GPSDO 的重要性在于它提供了更高的频率精确性，而且如果将来进行系统扩展有需要时，也可提供同步和获取地理位置的能力。一个典型的测试台实现通常会包含多个用户设备的系统，其中每一台 USRP RIO 可相当于一台或两台用户设备。在用户设备上部署的软件与 BTS 的软件非常相似，然而它只是作为一个单天线系统实现，所以将它的物理层放在 USRP RIO 中的 FPGA 上实现，而把介质访问控制层（MAC）放在主机 PC 上实现。



10. 使用笔记本电脑和 USRP RIO 进行典型的用户设备搭建

表 3 提供了在一个单用户设备系统中使用的配件清单。它包含了图 10 中所示的硬件设备和连接线缆。或者，如果选择台式电脑作为用户设备控制器时，可以使用 PCI Express 连接。

Description	Part No.	Per UE
USRP-2943R 2-Antenna SDR Programmable With LabVIEW FPGA (1.2 GHz to 6 GHz)	783148-01	1
USRP RIO Laptop Connectivity Kit (ExpressCard and Cable)	783489-01	1
International Power Cords for USRP RIO (Outside United States and Japan)	783490-01	1
Laptop With ExpressCard Slot	(User Supplied)	1

表 3. 用户设备配件清单

结论

NI 技术通过 LabVIEW 系统设计软件以及 USRP RIO 和 PXI 平台的组合正在彻底改革高端科研系统的原型设计方法。本文章介绍了一种搭建大规模多入多出 (MIMO) 系统的可行方法来进一步推进 5G 的研究。该应用程序框架中使用的各种 NI 技术的独特组合实现了大量无线电设备在时间和频率上的同步，而且 PCI Express 技术也提供了以 15.7GB/s 速率上下行传输和汇集 I-Q 信号所需的吞吐量。FPGA 的数据流设计方式简化了物理层和介质访问控制层上的高性能处理，满足实时处理的要求。

为保证这些产品能满足无线技术研究人员的特定需求，NI 正在积极地与行业领先的研发人员和隆德大学等世界名校进行合作。这些合作推动了一些研究领域取得令人兴奋的进展，同时也促进了需要和正在使用大规模 MIMO 应用程序框架等工具的工程师和科研人员之间的方法、IP 和最佳实践共享。

阅读更多解决方案，请访问 ni.com/5g