

NI PXIe-5644R 矢量信号收发器硬件架构



概览

随着 NI PXIe-5644R 向量信号收发器(VST)的诞生，NI 通过将用户可编程 FPGA 的灵活性引入 RF 仪器中，重塑了仪器的概念。

目录

1. [高性能与革命性的设计](#)
2. [FPGA 基卡架构](#)
3. [接收器架构](#)
4. [发送器架构](#)
5. [合成器 本地振荡器\(LO\)架构](#)
6. [校准](#)
7. [下一步](#)

高性能与革命性的设计

NI PXIe-5644R VST 在用于现场可编程门阵列(FPGA)中，将矢量信号分析仪(VSA)和矢量信号发生器(VSG)中典型的 RF I/O 功能与 NI 或用户定义用于实现信号处理和控制的功能结合在一起。RF 输入和 RF 输出包含独立的本地振荡器(LO)、65 MHz 至 6 GHz 的频率范围以及高达 80 MHz 的瞬时带宽。NI PXIe-5644R 属于单个 3 槽 PXI Express 模块（见图 1）。通过在单个 PXI Express 机箱中使用多个 VST 模块可以创建多输入多输出（MIMO）配置。

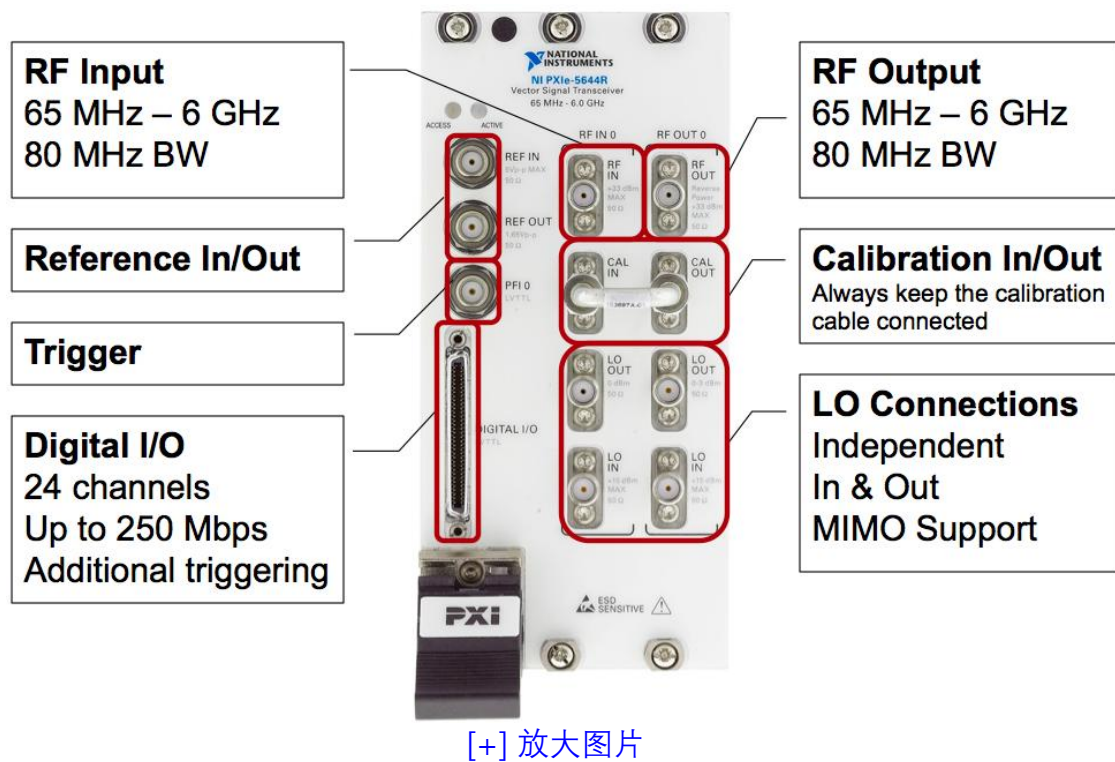


图 1: NI PXIe-5644R 硬件前面板

NI PXIe-5644R 最引人注目的特性是什么？毫无疑问，当然是如此小的尺寸却所能实现非常高的性能。通过利用高级校准和宽带数字校正，NI PXIe-5644R VST 可以凭借其难以置信的小尺寸满足研发级仪器的性能需求。用户可编程 FPGA 所提供的更加快速的测试时间和灵活性，使 NI PXIe-5644R 更适合 RF 的表征、验证和确认以及产品测试。

除了高性能和小尺寸的特点，NI PXIe-5644R VST 最为革命性的特征是采用了用户可编程的 Xilinx Virtex-6 FPGA，支持使用 LabVIEW FPGA 模块进行编程。该 FPGA 连接至 VSA 和 VSG 基带 I/Q 数据与 24 条数据速率高达 250 Mbit/s 的数字 I/O 线。RF 技术、高速数字 I/O 技术与 FPGA 技术的有力结合，使得 NI PXIe-5644R 有能力处理如实时在测设备(DUT)控制、自定义触发、功率电平伺服、软件定义无线电和通道仿真等诸多应用。

FPGA 基卡架构

NI PXIe-5644R FPGA 基卡包括 Xilinx Virtex-6 FPGA、基带时钟电路、模数转换器(ADC)、数模转换器(DAC)、功能可编程的数字 I/O 线(PFI 0)、数字 I/O 连接器、PCI Express 接口、PXI 触发器、DRAM 和 SRAM。

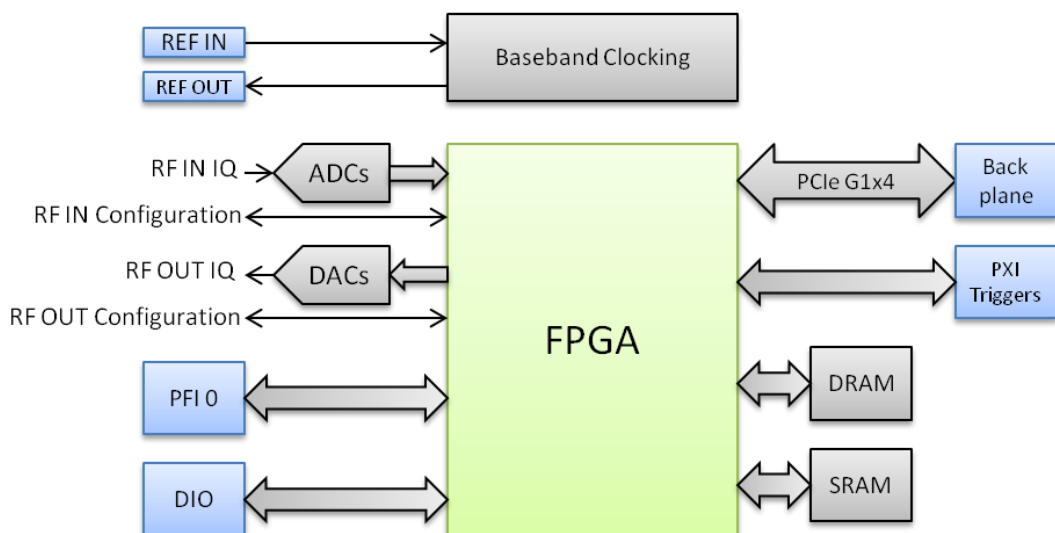


图 2: NI PXIe-5644R FPGA 基卡框图

Xilinx Virtex-6 FPGA

NI PXIe-5644R 包含一块用于系统配置、数字数据移动和数字信号处理的 Xilinx Virtex-6 LX195T FPGA。该 FPGA 与 ADC、DAC、PCI Express 总线、DRAM、SRAM、PFI 0、数字 I/O 和 PXI 触发器直接连接，允许通过自定义编程满足各种类型应用的要求。

可重配置的 FPGA 资源

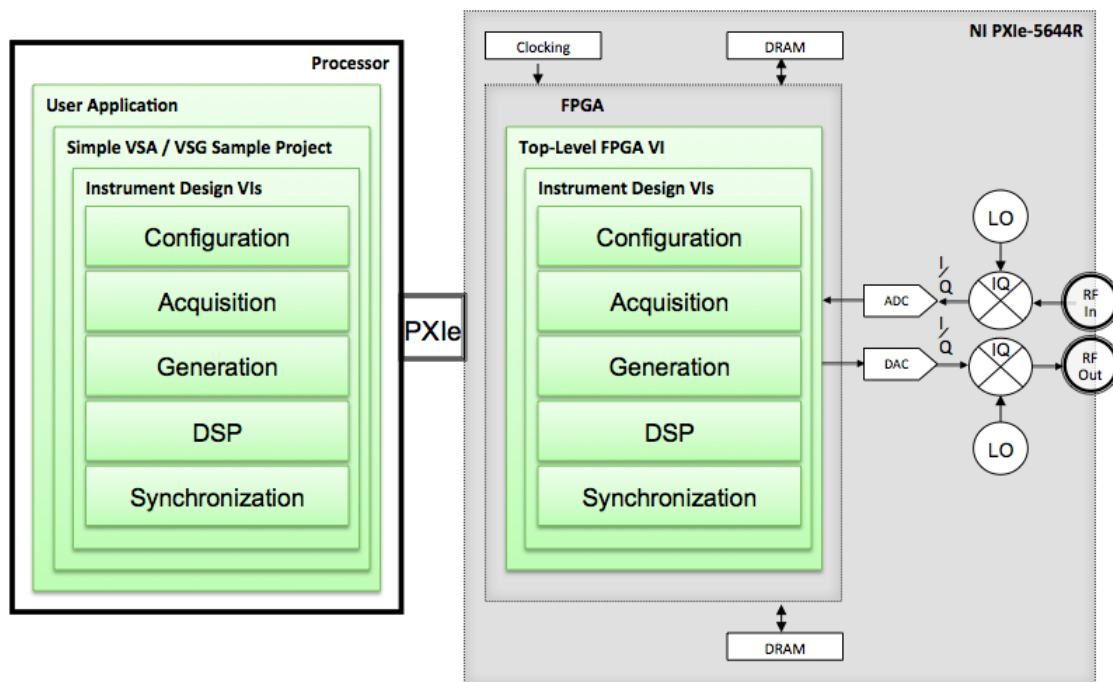
The Xilinx Virtex-6 LX195T FPGA 包含以下资源。

Resource Type	Number
Slice Registers	249,600
Slice Look-Up Tables (LUT)	124,800
DSP48E1s	640
18 Kb Block RAMs	688

支持 LabVIEW FPGA 编程

NI PXIe-5644R 的 Xilinx FPGA 完全支持使用 LabVIEW FPGA 模块进行编程。由于 LabVIEW 可方便地表示并行和数据流，使其十分适用于 FPGA 编程。因此对于传统 FPGA 设计的新老用户，都可以有效地利用可重配置硬件的功能。

NI 提供了用于 NI PXIe-5644R 的 LabVIEW 范例项目和仪器设计 VI，可帮助用户快速设计和执行首次测量。仪器设计 VI 可允许用户修改 FPGA 和处理器层次（如 PC 和实时操作系统）的 LabVIEW 代码并按功能类型进行分类，如配置、采集、生成、数字信号处理(DSP)和同步（如图 3 所示）。如需了解更多关于 NI PXIe-5644R VST 软件的详细信息，可查看 VST 软件架构白皮书或者观看 VST 网络视频。



[\[+\] 放大图片](#)

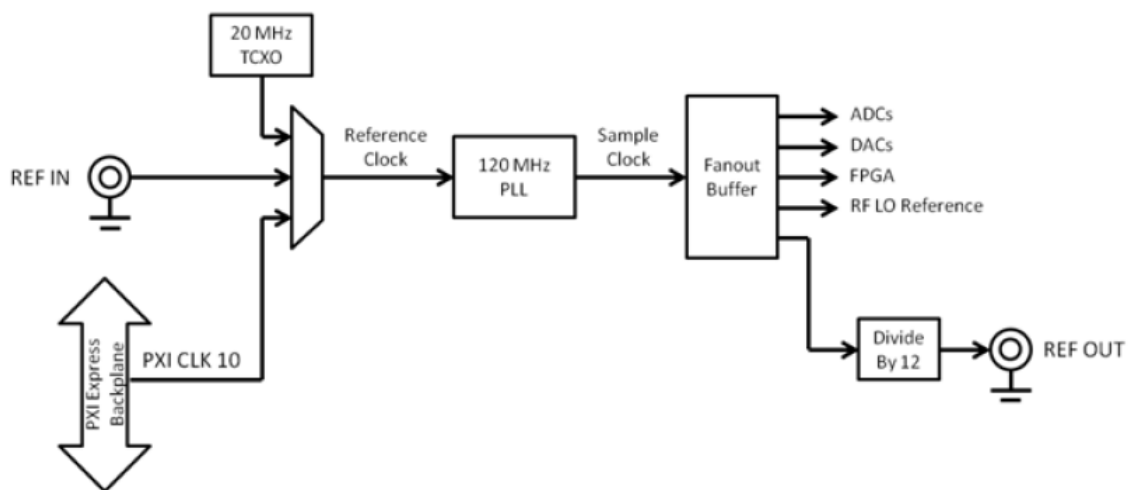
图 3: 与 NI PXIe-5644R 硬件对应的 LabVIEW 范例项目和仪器设计 VI

基带时钟

NI PXIe-5644R 在 FPGA 内包含多个时钟。主时钟为可用于 ADC、DAC 和相关 FPGA 逻辑的采样时钟。

采样时钟

采样时钟频率为 120 MHz，并且由锁相环(PLL)导出。可以选择将内部 TCXO、NI 5644R REF IN 前面板连接器或 PXI_CLK 10 作为 PLL 的参考信号。如图 4 所示，采样时钟同样可以作为 RF IN 和 RF OUT 内部 LO 电路的参考信号。虽然采样时钟频率固定为 120 MHz，但通过 FPGA 内部的分数插值和分数抽取 DSP VI 可以实现高分辨率的 I/Q 数据速率。



[\[+\] 放大图片](#)

图 4: NI PXIe-5644R 时钟架构

FPGA 时钟

下表列出了 FPGA 中的时钟。除该时钟以外，LabVIEW FPGA 允许衍生用户定义频率的时钟。

Name	Frequency (MHz)	Description
Sample Clock	120	Reference signal for the RF IN and RF OUT LO circuits.
Sample Clock x2	240	In-phase with the Sample clock.
Sample Clock x3	360	In-phase with the Sample clock and used for some DSP VIs.
40 MHz Onboard Clock	40	Free-running 40 MHz oscillator.
125 MHz Onboard Clock	125	Free-running 125 MHz oscillator.
133 MHz Onboard Clock	133	Derived from the 40 MHz oscillator.
200 MHz	200	
PXIe_CLK100	100	100 MHz clock from the backplane.
DIO Clk In	User-defined, ≤125 MHz	Can be externally supplied by the user on the DIGITAL I/O front panel connector.

[\[+\] 放大图片](#)

ADCs 和 DACs

NI PXIe-5644R 使用双通道 16 位 ADC 和 DAC。ADC 和 DAC 使用的时钟频率为 120 MS/s，可提供 80 MHz 的复杂带宽并可自动与 FPGA 内部的采样时钟域进行同步。该方式有利于实现同一个时钟域中 ADC 和 DAC 的完全同步，从而启用接收和发送间的确定性延迟。RF IN 和 RF OUT IQ 数据流处于 FPGA 的同一个时钟域。通过同步和确定性延迟，可使实时测试和嵌入式应用编程更加容易。

PFI 0

PFI 0 是一个 3.3 v LVTTTL、双向的通用数字 I/O 口。PFI 0 通常用于触发器输入或记号/事件输出。但由于 PFI 0 I/O 的缓存直接连接至 FPGA，所以可以通过 LabVIEW FPGA 编程，对 PFI 0 的功能进行配置，以满足特殊的应用需求。

数字 I/O

通过 VHDCI 端口可访问 NI PXIe-5644R 的数字 I/O。总共包括 24 条双向 LVTTTL 数字 I/O 线，每通道包含 4 线（总共 6 端口），并可对每个端口进行单独配置。数字 I/O 连接器也包含时钟输入和时钟输出线、以及可用于触发或额外双向数字 I/O 的 PFI 1 和 PFI 2 线。由于数字 I/O 的缓存直接连接至 FPGA，所以可以通过 LabVIEW FPGA 编程，对单个数字 I/O 口的功能进行配置，以满足特殊的应用需求。

线缆和附件

NI 提供多种可兼容数字 I/O 连接器的线缆和附件。注意该线缆和附件使用与 NI PXIe-5644R 数字 I/O 匹配的自定义引脚，并可保持 50 欧姆传输线环境。不建议使用其他 VHDCI 线缆。

DRAM 和 SRAM

NI PXIe-5644R 包括两个 DRAM 块，每块为 256 MB 并可提供理论最大数据速率 2.1 GB/s，通过 FPGA 可单独访问每个 DRAM 块。该 DRAM 块属于通用类型，但通常用于存储待生成的波形或者已采集的波形。

同时包含 2 MB 的板载 SRAM，最大读取和写入数据速率分别为 40 MB/s 和 36 MB/s。SRAM 属于通用内存，通常用于存储多个硬件配置，该配置可以无需使用主机而直接从 FPGA 进行应用。

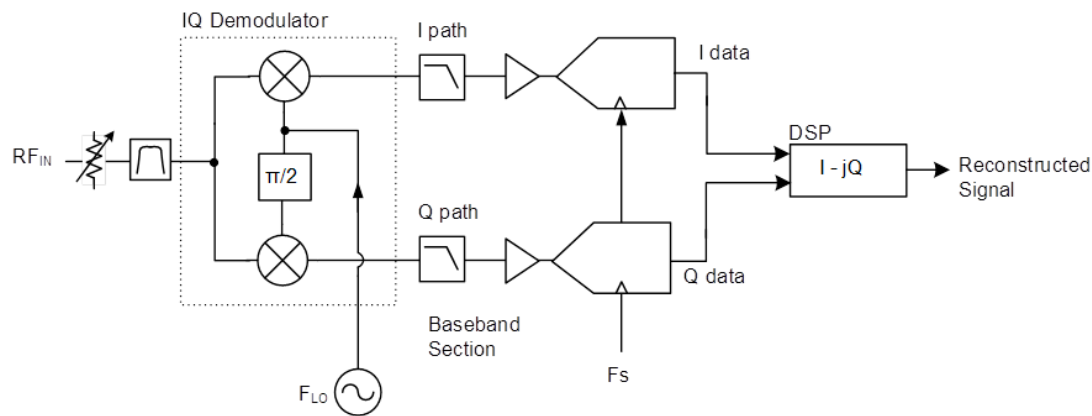
PCI Express 接口

NI PXIe-5644R 包含一个一代的 x4 PCI Express 接口，可用于 DMA 传输、可编程 I/O 以及点对点数据流。

接收器架构

NI PXIe-5644R 包括一个零差式 RF 接收器，也称为同步、零中频或直接下变频接收器。在零差式接收器中，输入 RF 信号将传递至混频器，该方式类似于传统外差式接收器，如 NI PXIe-5665 和 NI PXIe-5663E VSA 中的接收器。但与外差式接收器不同，零差式接收器中的 LO 频率等同于或接近于输入 RF 信号的频率，从而得到直流中心或低 IF 信号，如 10 或 20 MHz。

输入信号将与基带混频并拆分为同相(I)和正交(Q)分量，其中载波为同相并分别偏移 90 度。然后 I 和 Q 路径信号将分别进行数字化并得到 I 和 Q 数据。最后软件会组合 I 和 Q 数据流并显示原始信号。图 5 显示了零差式或零中频架构的简要框图。



[\[+\] 放大图片](#)

图 5：零差式（零中频）架构基本框图

零差式（零中频）接收器优势

与传统外差式架构相比，零差式架构具有多方面优势，如简化设计、低成本、低功耗以及更多选择，并可用于分离信号重叠的邻近通道。其他优点包括更高带宽、通过单个 LO 简化设计、紧凑设计以提供更小封装尺寸等。以下部分将详细说明各个优势。

1. **带宽。**带单个 ADC 的接收器存在信号带宽的实际上限，为时钟频率的 40%。使用相同的采样时钟频率，由于零差式架构包括两个 ADC，可允许双倍带宽即采样时钟频率的 80%。通常情况下，使用可支持较低采样时钟频率的 ADC 可获得更好的无寄生动态范围(SFDR)和信噪比(SNR)性能。零差式接收器在不降低 ADC 性能的情况下可允许更宽的带宽，而对于只有单个 ADC 的接收器，在这种条件下会降低 ADC 性能。

2. **单本地振荡器（LO）。**由于多通道测试系统在多输入多输出（MIMO）应用中变得越来越重要，使得共享 LO 成为必须要求。与传统外差式架构中使用多个 LO 相比，零差式架构中仅需共享单个 LO 而降低成本并大大降低系统配置的复杂程度。

3. **紧凑设计。**与外差式架构相比，零差式架构使用更为简单的 RF 设计。更少的 LO 信号；无需庞大昂贵的 RF 和 IF 滤波器；零差式架构仅需更少转换阶段，从而使设计更为精简。

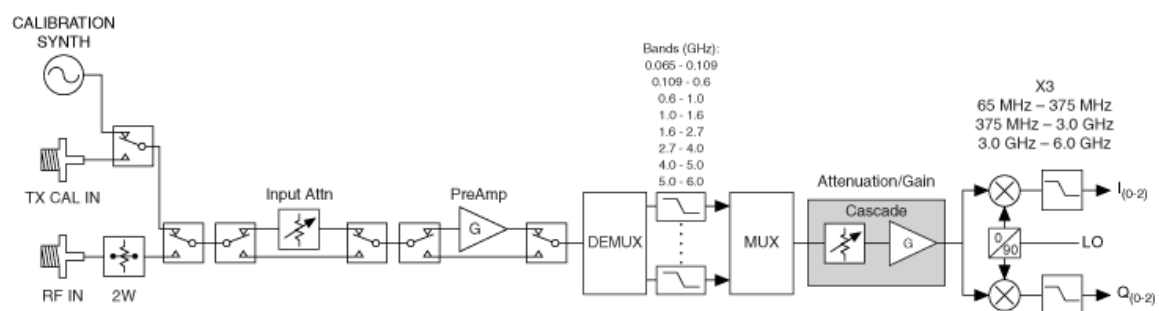
零差式（零中频）接收器面临的挑战

虽然零差式架构具有很多优势，但仍存在诸如无法实现包络检测等缺点。NI PXIe-5644R 通过使用正交检测和数字信号处理可解决该问题。

直流偏移是零中频架构的另一个挑战。在 ZIF 结构中任何混合至 0 Hz 的信号都会引起直流的频谱分量，该失真存在于数据采集瞬时带宽的中部。由采集数据以及瞬时带宽各个频率偏移组成的频谱，将会在每个采集数据的中部显示该重复的直流偏移分量。通过在数字化的 I 和 Q 数据流中应用偏移可以实现直流偏移归零。每个 LO 频率必须应用单独的归零操作，当运行 NI PXIe-5644R 自校准过程时可以自动完成该操作。

接收器信号路径

NI PXIe-5644R 接收器设计的顶层架构如图 6 所示。该框图显示了校准合成器、可选高功率衰减器、可选低功率信号放大器、波段外选择滤波器、附加增益和衰减信号调理以及根据频率选择一个混频器（共三种）进行解调。



[\[+\] 放大图片](#)

图 6: NI PXIe-5644R 接收器框图

选择滤波器组包含 8 条带低通或带通滤波器的不同路径。该滤波器可允许接收器过滤多余噪声，使得接收器只处理所需范围内的信号。在进行完所选滤波以及其他信号调理后，根据频率将会把 RF 信号发送至其中一个解调器（共三种）。每个解调器可用于指定波段，以便优化增益和相位。

接收器路径包含多个固态衰减器，可提供超过 80 dB 的衰减并支持 1 dB 步进变化。RF 输入为 AC 耦合，三个可切换的增益放大器和一个前置放大器可用于扩展动态范围并改进噪声指数。

内部提供的低相位噪声 LO（本地振荡器）可将多个下变频器连接至单个 LO 源。使用同一个 LO 源对于相位相干的信号采集应用十分有用，如多输入多输出

(MIMO)系统。当使用该配置时，共享同一个 LO 的每个 NI PXIe-5644R RF 通道都将调整为相同的 RF 频率。

下变频的基带信号将被直接传输至 NI PXIe-5644R 的内部 ADC 通道。该 ADC 通道会按 120 MS/s 以及 16 位动态范围对基带模拟信号进行数字化，将结果传递至板载 FPGA 进行后续处理，最后传递至主机。

下变频器

NI PXIe-5644R 接收器包括一个单级直接转换(I/Q)下变频器。RF 信号将从配置的 LO 频率下变频至 DC，其中基带信号可进行数字化以便后续处理。该架构在实现宽瞬时带宽的同时可确保高效的镜频抑制以及 LO 泄漏最小化。镜频抑制和 LO 泄漏性能可通过宽带正交校正实现，该接收器路径已经过优化，并可作为矢量信号分析仪用于宽带解调

低 IF 模式和带内重调

低 IF 接收器属于使用 IQ 解调器的另一种接收器类型，其框图与图 5 显示的零 IF 接收器相同。在零 IF 接收器中，LO 频率位于调制信号的频率范围之内，而低 IF 接收器的 LO 频率位于调制信号范围之外。这将导致 DC 分量不再位于下变频区间内。将不会存在部分与 DC 相关的减损，如 DC 偏移、1/f 噪声以及部分情况下的基带谐波。

以低 IF 模式操作 NI PXIe-5644R 可实现 LO 调制和数字频域移位这两个功能的组合。以数字移位频率从载波生成或采集所需信号可以避免直接转换结构中存在的 LO 泄漏问题。该方式的代价，低 IF 接收器的最大带宽是使用相同 ADC 采样率的零 IF 接收器的一半。NI PXIe-5644R 可支持高达 80 MHz 的复杂瞬时带宽以及分配给数字频率修正的额外 4 MHz 复杂带宽。额外频率移位会导致可用 80 MHz 带宽减少为 $(80/2) - (x - 2)$ MHz，其中 x 表示请求的数字频率移位。

发送器架构

NI PXIe-5644R VST 上的 RF 发送器架构包括 2 个调制器、1 个滤波器组以及附加信号调理模块。其顶层框图如图 7 所示。

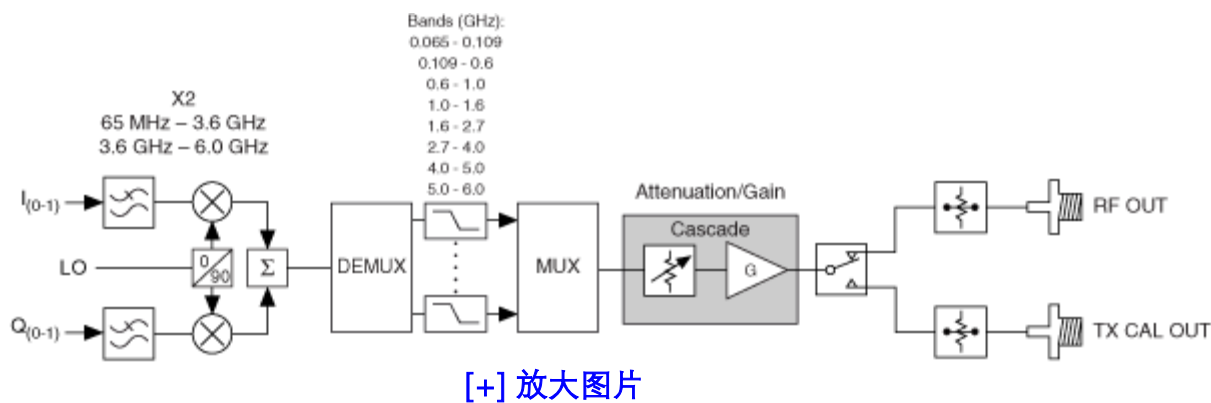


图 7: NI PXIe-5644R 发送器框图

发送器的信号路径

NI PXIe-5644R 中的 2 个调制器与 NI PXIe-5673E VSG 中使用的调制器相同，根据不同的频率对其相位和增益平衡进行了优化。NI PXIe-5644R RF 发送器的滤波器组与 RF 接收器中使用的滤波器组相同，同为 8 条带低通或带通滤波器的路径，如图 7 所示。

滤波之后的 RF 信号进入级联信号调理模块，该模块包括 3 个可编程衰减器、1 个可选放大器和 2 个固定放大器。最后根据传输路径是否需要校准，将 RF 信号切换到 RF 输出或者是校准输出前面板连接器。

上变频器

NI PXIe-5644R RF 发送器路径中包含 1 个可将基带信号从 DC 上变频为已配置的 LO 频率 RF 信号的单级直接转换 (I/Q) 上变频器。该架构在实现宽瞬时带宽的同时可确保高效的镜频抑制以及 LO 泄漏最小。镜频抑制和 LO 泄漏的高性能可通过宽带正交校正实现。该路径已进行优化，并可作为 CW 发生器或 VSG 宽带调制。

发送器路径包含 4 个固态衰减器，可提供超过 100 dB 的衰减并支持 1 dB 步进变化。当需要生成高功率信号时，将使用 1 个额外的可调增益放大器。

发送器路径内部提供的低相位噪声 LO（本地振荡器）可将多个上变频器连接至单个 LO 源。对于 MIMO 系统来说，使用同一个 LO 源对于生成相位相干的信号十分有用。当使用该配置时，共享同一个 LO 的 NI PXIe-5644R RF 每个通道都将调整为相同的 RF 频率。

平均功率和波峰因素注意事项

波峰因素表示波峰信号功率和平均均方根(RMS)功率之间的功率变化。在 CW 模式中使用的正弦信号的波峰因素为 3 dB，即表示正弦信号的平均 RMS 功率比波峰功率小 3 dB。调制信号（尤其是 OFDM）会存在更大的波峰因素，大约为 10 dB 至 12 dB。

当配置为信号生成的设备时，同时考虑平均 RMS 功率和波峰因素就显得十分重要。NI PXIe-5644R 可支持最大平均功率输出 6 dBm 以及高达 12 dB 的波峰因素。超出 6 dBm 平均功率后，该设备将无法确保被校准或保持线性。尤其需要注意当平均功率设置为超出 6 dBm 并且信号的波峰因素仍设置为大于等于 12 dB 时，将可能发生严重饱和或启用 NI PXIe-5644R 的逆功率保护电路。

合成器 本地振荡器(LO)架构

NI PXIe-5644R 的频率范围为 65 MHz 至 6 GHz，并可提供小于 1 Hz 的调整精度。该调制精度包含了 LO 步长大小和 FPGA 上实现的频率移位 DSP。

两种 LO 步进模式：

1. 整数步进模式包括 4、12 和 24 MHz 步长
2. 分级步进模式包括 200 KHz 步长。该模式可提供更大间隔但同样会产生更多杂波信号，该模式可确保达到指标要求。

NI PXIe-5644R 合成器 LO 先将 120 MHz 时钟输入锁相环（PLL），该锁相环包括 3 个频率分别为 2 至 2.5 GHz、2.5 至 3 GHz 以及 3 至 4 GHz 的矢量控制振荡器(VCO)。如所需输出信号小于 4 GHz，当前信号将被切换至分频器。类似的，如果所需输出信号为 4 至 6 GHz，当前信号将被切换至倍频器（2 个乘法器）。接下来进入一个带额外除法器的滤波器组，以便在需要时删除谐波。

在设置一定增益后，信号将被切换至一个内部或外部振荡器，后者用于需要相位相干的 MIMO 应用。为了提高 MIMO 配置的性能，在导出之前也可通过校准 ADC 对 LO 路径进行校准。如图 8 所示，LO 信号将会进入包含低通和带通滤波器的滤波器组，该低通和带通滤波器与 NI PXIe-5644R RF 接收器和发送器中使用的滤波器相同。

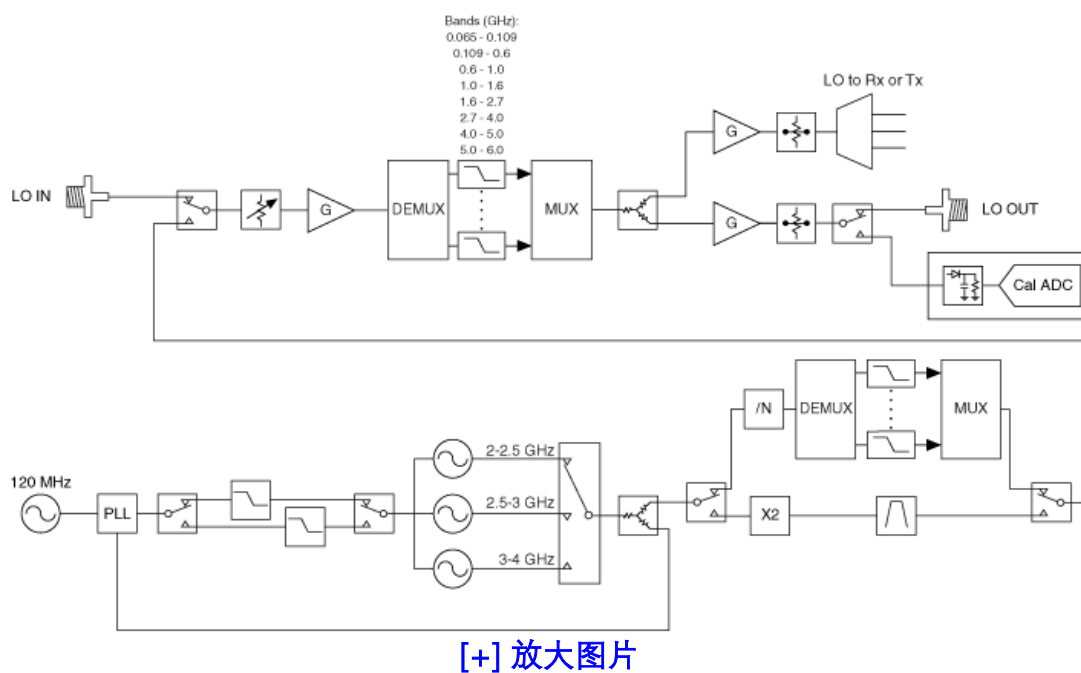


图 8: NI PXIe-5644R 合成器 LO 顶层框图

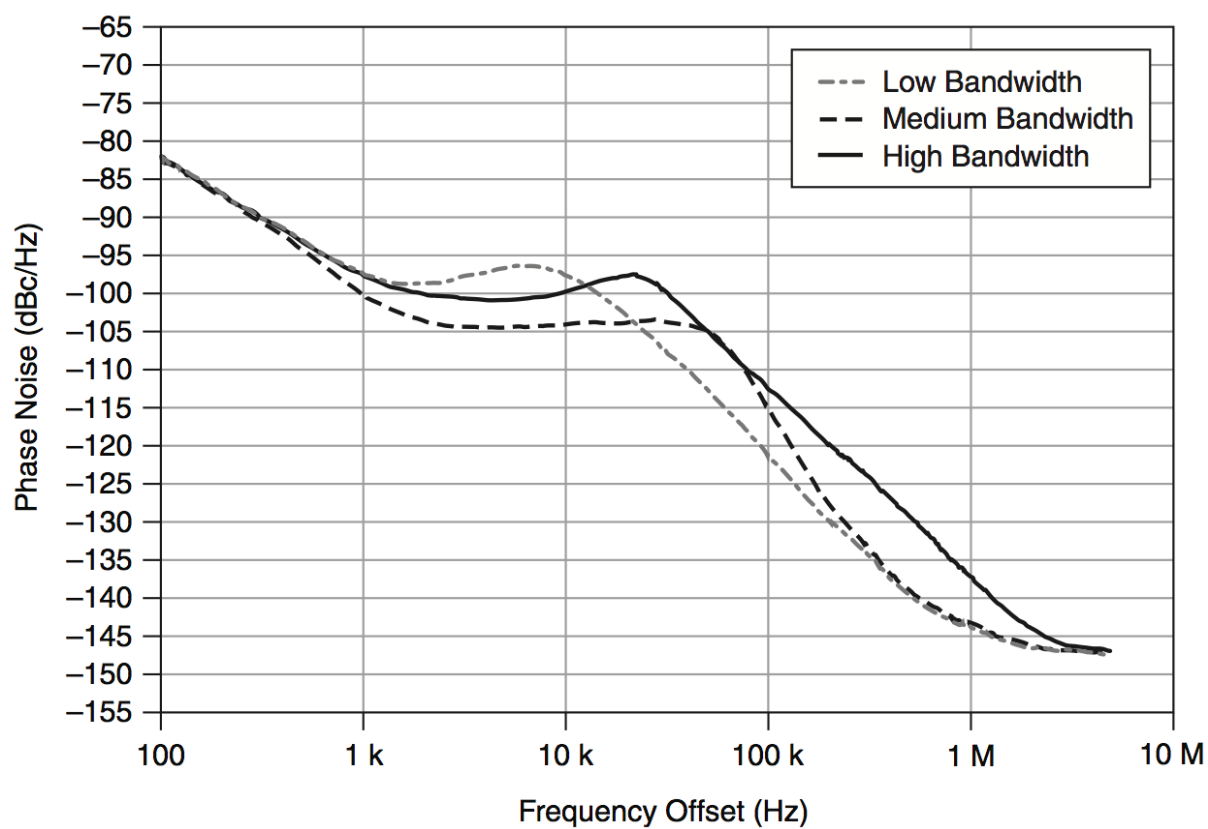
谱纯度

当输入 RF 信号与 LO 混合时，该信号将含有来自 LO 的谱边缘，因此 LO 具有良好的谱纯度十分重要。频带 VSA 通常使用现成的集成合成器，通常其效果不如传统的离散合成器。NI PXIe-5644R 可用于宽带仪器设计，其特点为可以从头创建一个传统的离散合成器。该方式可允许 NI PXIe-5644R 在仪器的所有频率范围内实现良好的测量性能。

NI PXIe-5644R 包括下列三种不同的 PLL 带宽选项，这些选项的不同之处在于相位噪声和稳定时间。

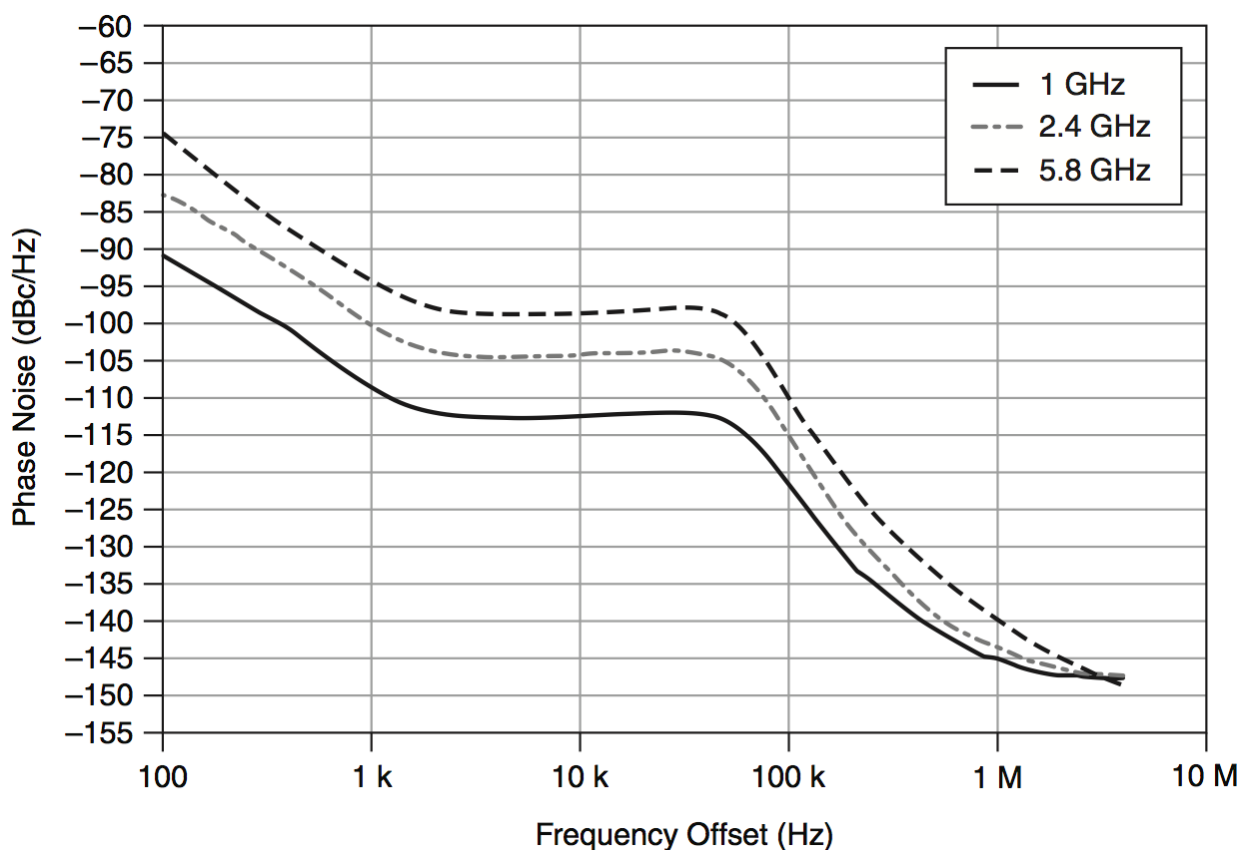
1. 高带宽—更低频率稳定时间(250 us)和更高相位噪声
2. 中等带宽—中等稳定时间(500 us)，与低带宽选项类似的相位噪声，低带宽选项已为窄带（500 MHz 或更小）进行优化
3. 低带宽—优化相位噪声以及更高的频率稳定时间(1 ms)

当测量 RF 标准时（如 802.11ac 和 LTE），通常建议使用中等带宽选项。但如果无需考虑调整速度，也可以选择低带宽选项。高带宽选项的使用范例为高速调频。图 9 显示了不同 PLL 带宽选项的相位噪声。图 10 显示了仅使用中等带宽选项时不同频率的相位噪声。



[\[+\] 放大图片](#)

图 9: 已测量的 2.4 GHz 相位噪声和循环带宽



[\[+\] 放大图片](#)

图 10: 使用中等 PLL 带宽选项测量以下频率的相位噪声: 1 GHz、2.4 GHz 和 5.8 GHz

校准

每张 NI PXIe-5644R 板卡在出厂时均已对频率和幅值响应进行了独立精确校准, 每个仪器均包含用于验证 NIST 可跟踪精度水平的校准证书。外部工厂校准可调整频率参考、内部 LO 路径增益、外部 LO 路径增益、RF 输入增益和 RF 输出增益。为了使 NI PXIe-5644R 长期达到规范, 建议使用一年 (或在较宽规范时使用两年) 工厂校准。

校准路径

NI PXIe-5644R 校准依赖于一条位于 RF 输入和 RF 输出之间的固定路径。该路径可使用 SMA-SMA 半硬式线缆连接校准输入 (CAL IN) 和校准输出 (CAL OUT) 前面板连接器。请不要从设备前面板松开或移除该线缆, 否则将影响自校准功能。

自校准

此外当环境温度变化超过 5 摄氏度(5° C)时，建议进行自校准。温度的起伏会降低 NI PXIe-5644R 的几个技术指标的性能。执行自校准可根据周边环境温度对性能进行补偿和优化。自校准通过调整以下 NI PXIe-5644R 参数来校正温度：

- LO 路径增益
- RF 输入增益
- RF 输出增益
- RF 输入 LO 泄漏
- RF 输出 LO 泄漏
- RF 输入镜频抑制
- RF 输出镜频抑制

校准合成器通过一个频率稳定且失真度低的放大器以提供一个稳定的幅值。设备上的校准表将同时扫描频率和功率，同时还包括频率的矢量校准。高级校准技术是 NI PXIe-5644R 通过小尺寸实现研发级仪器性能的主要原因之一。

下一步

[观看网络视频](#)

[查看产品详细介绍](#)

[下载工具包](#)

